

3-7-75

40 253 48512

JA 0254762  
DEC 1985

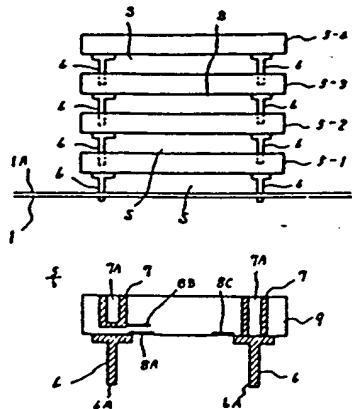
✓ 08 | 408551

(54) PACKAGE FOR SEMICONDUCTOR ELEMENT

(11) 60-254762 (A) (13) 16.12.1985 (19) JP  
(21) Appl. No. 59-111264 (22) 31.5.1984  
(71) FUJITSU K.K. (72) SHIYOUHEI IKEHARA  
(51) Int. Cl. H01L25/10

**PURPOSE:** To set address data for selecting semiconductor elements and to facilitate the increase and decrease in number of the semiconductor elements to be mounted, by providing contact pieces on the upper surfaces of packages, and mounting a plurality of the packages.

**CONSTITUTION:** Terminals 6 are provided at one side of a member 9 made of a ceramic material and the like. Contact pieces 7 are provided on the other side. Tip parts 6A are formed so that they can be inserted and pulled out. The terminals 6 and the contact pieces 7 are connected to semiconductor elements to be mounted through pattern wirings 8A, 8B and 8C. The increase and decrease in memory capacity are carried out by changing the number of mounting stages of packages 5. For the packages 5-1-5-4, inverters I are formed between the terminals 6-1 and the contact pieces 7-1, and exclusive OR gates G are formed between the terminals 6-2 and the contact pieces 7-2. Therefore, address data can be set based on the mounting sequence of the packages.



BEST AVAILABLE COPY

## ⑫ 公開特許公報 (A) 昭60-254762

⑬ Int.Cl.<sup>4</sup>  
H 01 L 25/10識別記号 行内整理番号  
7638-5F

⑭ 公開 昭和60年(1985)12月16日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体素子のパッケージ

⑯ 特 願 昭59-111264

⑰ 出 願 昭59(1984)5月31日

⑱ 発明者 池原 昌平 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 松岡 宏四郎

## 明細書

## 1. 発明の名称

半導体素子のパッケージ

## 2. 特許請求の範囲

半導体素子を有するパッケージであって、一面にアドレス設定信号を入力するための第1端子、該一面とは逆の面の該第1端子に対応する位置に第2端子、該第1端子より入力された該アドレス設定信号を変更して該第2端子より出力するアドレス変更手段を有することを特徴とする半導体素子のパッケージ。

## 3. 発明の詳細な説明

## (a) 発明の技術分野

本発明はプリント基板に半導体素子を有する同一種類の複数のパッケージが複数個で実装された半導体素子の実装方法に係り、特に、所定のパッケージが選択できる回路が形成されるようにした半導体素子のパッケージに関する。

## (b) 従来技術と問題点

複数のメモリ素子などの半導体素子がプリント

基板に実装される場合は第1図に示すように構成されている。第1図は従来の半導体素子のパッケージの概要を示す(a)図は斜視図、(b)図は説明図である。

(a)図に示すように半導体素子2-1～2-nはリード端子が抜けられたパッケージに封止され、パターン配線を有するプリント板基板1の実装面1Aにパッケージを配設することで実装されている。このパッケージのそれぞれのリード端子はプリント板基板1の所定のランドに半田付され、パターン配線に接続されるように構成されている。

このようない半導体素子2-1～2-nは例えば装置の構成上メモリ容量が増減する場合があり、半導体素子2-1～2-nの実装数を変える必要がある。したがって、半導体素子2-1～2-nの実装数が減少した場合は当然プリント板基板1の大きさは小さくでき、例えば $l_1$ の長さの大きさは点線のように $l_2$ の長さの半分にすることができる。しかし、一般的にプリント板基板1の大きさは所定の大きさによって形成されているため、大きさの異なる複数のプリント板基板1を製作す

ことはコストアップとなる。

そこで、所定の大きさのプリント基板 1 には必要な半導体素子 2-1 ～ 2-ロを配設し、メモリ容量の削減によって不要となった半導体素子は除去し、半導体素子の未実装箇所が有するように形成されている。したがって、実装効率が悪い欠点を有していた。

また、このような構成では半導体素子 2-1 ～ 2-ロは所定の半導体素子を選択してアクセスできるよう(例)図に示す回路が形成されている。

半導体素子 2-1 ～ 2-ロのそれぞれにはアドレス設定部 4-1 ～ 4-ロとゲート G1 ～ Gロとが設けられ、アドレス設定部 4-1 ～ 4-ロに所定のアドレスを設定することにより、記憶部 3-1 ～ 3-ロのアクセスは所定のアドレス情報をそれぞれのゲート G1 ～ Gロに送出し所定の記憶部が選択されて行なわれるよう形成されている。したがって、それぞれのアドレス設定部 4-1 ～ 4-ロの一つ一つに対して所定のアドレスを設定しなければならない問題を有していた。

#### (c) 発明の目的

本発明の目的はパッケージの上面には接触子を設け、複数のパッケージが積載して実装できるようにしてこの積載によって半導体素子の選択すべきアドレス情報の設定が行なはれ、かつ、半導体素子の実装の増減が容易に行なえるようにしたもので、前述の問題点を除去したもの提供するものである。

#### (d) 発明の構成

本発明の目的は、かかる半導体素子の実装方法において、一面にアドレス設定信号を入力するための第 1 端子、該一面とは逆の面の該第 1 端子に対応する位置に第 2 端子、該第 1 端子より入力された該アドレス設定信号を変更して該第 2 端子より出力するアドレス変更手段を有することを特徴とする半導体素子のパッケージにより達成される。

#### (e) 発明の実施例

以下本発明を第 2 図および第 3 図を参考に詳細に説明する。第 2 図は本発明による半導体素子のパッケージの一実施例を示す、第 2 図の(a), (b),

(c)図は説明図、第 3 図は構成図である。

プリント基板 1 の実装面 1A にはパッケージ 5-1 の端子 6 が半田付されることでパッケージ 5-1 が固定され、このパッケージ 5-1 には更にパッケージ 5-2 が、パッケージ 5-2 はパッケージ 5-3 が、それぞれの端子 6 が挿入されることで積載するよう実装されたようにしたものである。

このような積載は(b)図に示すようにパッケージ 5 を形成することで行なえる。セラミック材などによって形成された部材 9 の一方には端子 6 を設け、他方には接触片 7 を設け、接触片 7 の挿入孔 7A は端子 6 の先端部 6A が挿脱できるように形成され、それぞれの端子 6 および接触片 7 にはパターン配線 8A, 8B, 8C を介して内蔵された半導体素子に接続されるよう形成されている。

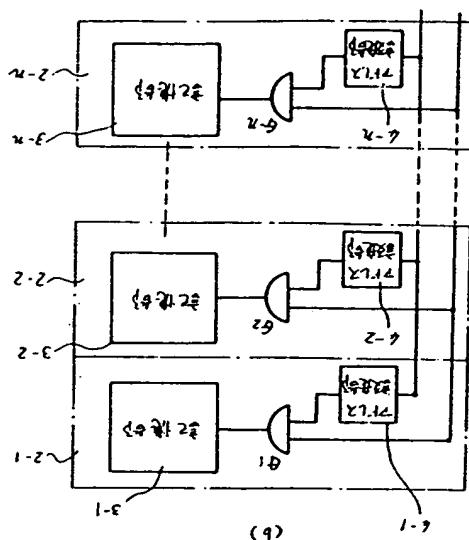
したがって、メモリ容量の増減によって半導体素子の実装箇所を変える場合は積載されたパッケージ 5 の積載段数を変えることで行なえ、増減は容易に行なえる。尚、パッケージ 5-1, 5-2,

5-3, 5-4 の横載には冷却を考慮して間隙 S を設けると良い。また、(c)図に示す所定のパッケージを選択する番地認識回路を形成することもできる。

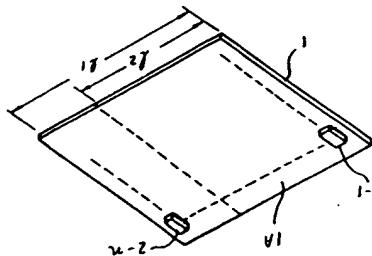
それぞれのパッケージ 5-1 ～ 5-4 には端子 6-1 と接触片 7-1 の間にインバータ I を、端子 6-2 と接触片 7-2 の間に挿他オアゲート G を形成すると、積載されることにより、パッケージ 5-1 と 5-2, 5-2 と 5-3, 5-3 と 5-4 とはそれぞれの端子 6-1 が接触片 7-1 に、端子 6-2 が接触片 7-2 に接続される。

そこで、パッケージ 5-1 の端子 6-1 と端子 6-2 を "0" にすると、パッケージ 5-2 の端子 6-1 と 6-2 は "1" と "0"、パッケージ 5-3 の端子 6-1 と 6-2 は "0" と "1"、パッケージ 5-4 の端子 6-1 と 6-2 は "1" と "1" が出力される。したがってパッケージの積載順序によってアドレス情報の設定が行なわれる。

また、例えば、第 3 図に示す回路構成が可能である。互いの端子片 6 と接触子 7 とが接続されて



四  
一  
六



( a )

明治の婦人教育

檢定並不難于為、美用效果甚大工多々。

第 1 図は被検者の半導体素子の S-N 曲線、第 2 図は被検者の S-N 曲線、第 3 図は回路構成図である。

代總人 奥蘭士 起 請 宏圖

1. 110V 2. 110V 3. 110V 4. 110V 5. 110V 6. 110V 7. 110V

中華書局影印

到零点才說明圖、第3圖比回路傳感器圖要好。

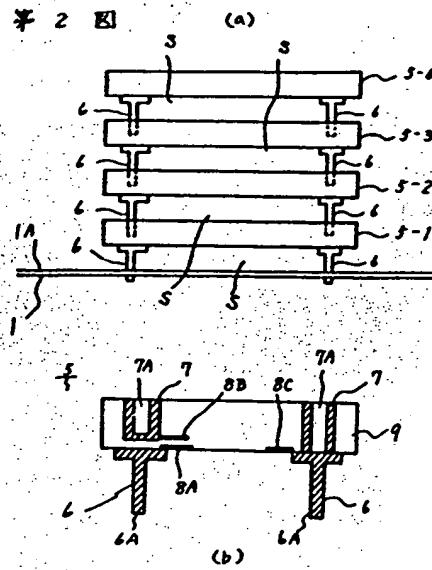
(a) 固定桥示意图、(b) 固定桥示意图、(c) 固定桥示意图

### 第1回社説案の半導体電子の火、今一歩を示す

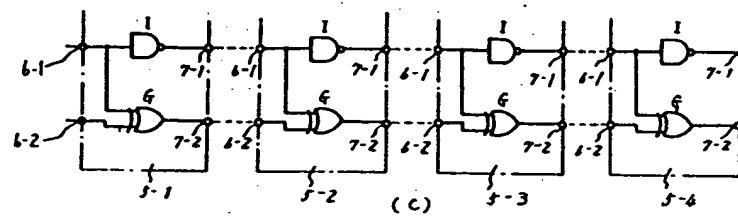
前面の脚本を読む

數定理不難于本章，其用處甚其大工多也。

第2図

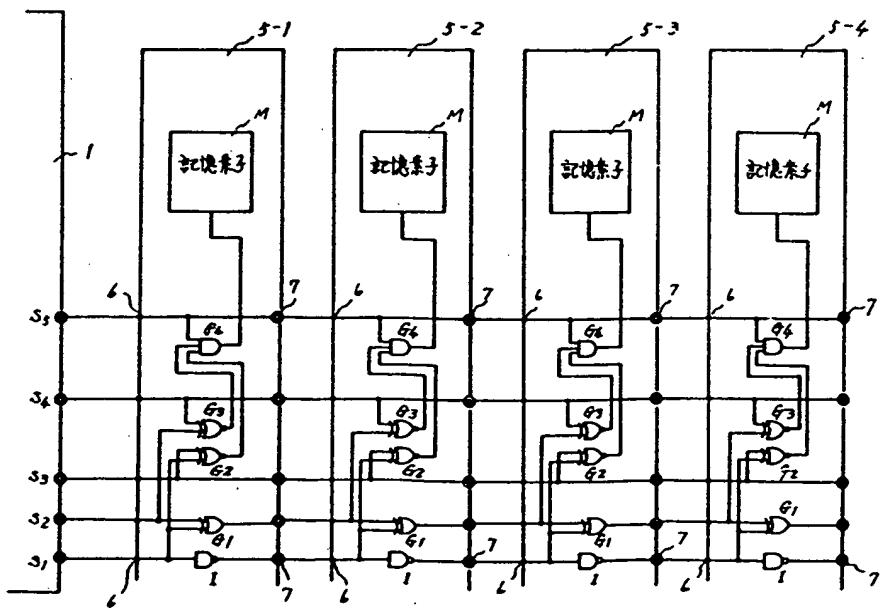


(b)



(c)

第3図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**